

I hereby certify that this correspondence is being deposited with the U.S. Postal Service as Express Mail, Airbill No. EV 323 771 513 US, in an envelope addressed to: **Mail Stop Patent Application**, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450, on the date shown below.

Dated: July 14, 2003

Signature: 

(Richard Zimmermann)

Docket No.: 29936/39473  
(PATENT)

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Patent Application of: *Dong et al.*

Application No.: Not Yet Assigned

Group Art Unit: Not Yet Assigned

Filed: July 14, 2003 (herewith)

Examiner: Not Yet Assigned

For: **METHOD OF MANUFACTURING FLASH  
MEMORY DEVICE**

**TRANSMITTAL OF PRIORITY DOCUMENT**

**Mail Stop Patent Application**  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Dear Sir:

Enclosed herewith is a certified copy of Korean Patent Application No. 10-2002-0084331, filed December 26, 2002, upon which priority of the instant application is claimed under 35 U.S.C. §119.

Dated: July 14, 2003

Respectfully submitted,

By 

Nabeela R. McMillian

Registration No.: 43,363  
MARSHALL, GERSTEIN & BORUN LLP  
233 S. Wacker Drive, Suite 6300  
Sears Tower  
Chicago, Illinois 60606-6357  
(312) 474-6300  
Attorney for Applicants

# 대한민국 특허청

## KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2002-0084331  
Application Number

출원년월일 : 2002년 12월 26일  
Date of Application DEC 26, 2002

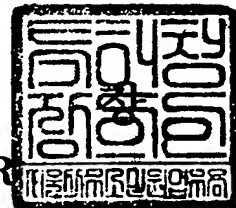
출원인 : 주식회사 하이닉스반도체  
Applicant(s) Hynix Semiconductor Inc.



2003      년      04      월      16      일

특      허      청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0035
【제출일자】	2002.12.26
【발명의 명칭】	플래시 메모리 소자의 제조방법
【발명의 영문명칭】	Method of manufacturing flash memory device
【출원인】	
【명칭】	(주)하이닉스 반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	신영무
【대리인코드】	9-1998-000265-6
【포괄위임등록번호】	1999-003525-1
【발명자】	
【성명의 국문표기】	동차덕
【성명의 영문표기】	DONG, Cha Deok
【주민등록번호】	720328-1168041
【우편번호】	467-040
【주소】	경기도 이천시 송정동 322번지 동양아파트 101-704
【국적】	KR
【발명자】	
【성명의 국문표기】	손호민
【성명의 영문표기】	SON, Ho Min
【주민등록번호】	690225-1683137
【우편번호】	467-850
【주소】	경기도 이천시 대월면 사동리 441-1번지 현대사원아파트 102-606호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 신영무 (인)

**【수수료】**

【기본출원료】	20	면	29,000	원
---------	----	---	--------	---

【가산출원료】	3	면	3,000	원
---------	---	---	-------	---

【우선권주장료】	0	건	0	원
----------	---	---	---	---

【심사청구료】	12	항	493,000	원
---------	----	---	---------	---

【합계】	525,000	원		
------	---------	---	--	--

【첨부서류】	1. 요약서·명세서(도면)_1통			
--------	-------------------	--	--	--

**【요약서】****【요약】**

본 발명은 플래시 메모리 소자의 제조방법에 관한 것으로, 본 발명은, 반도체 기판 상에 터널 산화막, 제1 폴리실리콘막 및 하드 마스크막을 순차적으로 형성하는 단계와, 패터닝 공정을 통해 상기 하드 마스크막, 상기 제1 폴리실리콘막, 상기 터널 산화막 및 상기 반도체 기판의 일부를 식각하여 상기 반도체 기판 내에 트렌치를 형성하는 단계와, 산화막을 증착하여 상기 트렌치를 매립하고, 상기 하드 마스크막이 노출될 때까지 상기 산화막을 화학 기계적 연마하여 평탄화하는 단계와, 상기 하드 마스크막을 제거하는 단계와, 상기 제1 폴리실리콘막의 측벽 하부가 노출되지 않을 정도로 상기 산화막의 돌출부를 리세스하는 세정 공정을 실시하는 단계와, 상기 산화막의 돌출부가 리세스된 결과물 상에 제2 폴리실리콘막을 증착한 후, 상기 산화막의 돌출부가 노출될 때까지 상기 제2 폴리실리콘막을 평탄화하는 단계와, 상기 제2 폴리실리콘막 상에 유전체막을 형성하는 단계 및 상기 유전체막 상에 컨트롤 게이트를 형성하는 단계를 포함한다.

**【대표도】**

도 11

**【색인어】**

자기정렬 STI(shallow trench isolation), 자기정렬 플로팅 게이트

**【명세서】****【발명의 명칭】**

플래시 메모리 소자의 제조방법{Method of manufacturing flash memory device}

**【도면의 간단한 설명】**

도 1 내지 도 11은 본 발명의 바람직한 실시예에 따른 플래시 메모리 소자의 제조 방법을 설명하기 위하여 도시한 단면도들이다.

<도면의 주요 부분에 부호의 설명>

100: 반도체 기판    102: 희생 산화막

104: 터널 산화막    106: 제1 폴리실리콘막

108: 하드 마스크막    110: 트렌치

112: 측벽 산화막    114: 트렌치 산화막

116: 제2 폴리실리콘막    124: 유전체막

126: 제3 폴리실리콘막    128: 실리사이드막

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<9>        본 발명은 반도체 소자의 제조방법에 관한 것으로, 더욱 상세하게는 플래시 메모리 소자의 제조방법에 관한 것이다.

<10>        플래시 메모리 소자(flash memory device)를 구현함에 있어서 얇은 트렌치 소자분리(shallow trench isolation; 이하 'STI'라 함) 공정을 이용하고 있다. 종래에는 측벽

산화 공정(side wall oxidation)을 적용함에 따라 트렌치 상부 코너에 형성된 터널 산화막의 경우 증착 타겟(target)보다 얇은 두께로 형성되어 중앙부에 형성되는 터널 산화막에 비해 그 두께가 얇아지는 현상이 발생한다. 또한, 활성 영역의 임계치수(critical dimension; 이하 'CD'라 함)를 충분히 줄이기 위해서는 미세 선평의 사진 식각 기술이 요구됨에 따라 고가의 장비가 필요하고, 이는 원가 상승의 원인이 된다. 또한, 플로팅 게이트의 표면적을 증가시키는 데도 한계가 있어 유전막인 ONO(oxide/nitride/oxide)막에 걸리는 커패시턴스(capacitance)값에 한계가 있고, 따라서 커플링 비(coupling ratio)의 증가도 기대하기 어렵다.

<11> 또한, 플래시 메모리 소자를 제조함에 있어서, 플로팅 게이트의 고립(isolation)을 위한 패터닝시에 마스크 CD가 변화되고 웨이퍼의 균일도가 불량하므로 규격이 균일한 플로팅 게이트 구현이 용이하지 않으며, 따라서 커플링 비가 변화되고 프로그램 또는 소거 동작시 페일(fail)이 발생하는 등의 문제가 유발된다. 더욱이 고집적화되는 설계 특성상  $0.10\mu\text{m}$  이하의 작은 스페이스(space) 구현시에 마스크 작업이 더욱 어려워지고 있다.

<12> 한편, 플로팅 게이트가 균일하게 형성되지 않을 경우 커플링 비의 차이가 심화되고, 이에 따라 셀의 프로그램 또는 소거시에 과도 소거(over erase) 등의 문제가 발생하여 소자 특성에 악영향을 미친다. 또한, 마스크 작업 수의 증가로 인한 수율 저하와 원가 상승의 원인이 된다.

<13> 또한, STI 또는 LOCOS 공정에서 발생하는 모우트(moat; 액티브 영역 부근의

필드 산화막이 움푹하게 들어간 형태를 일컫는다)로 인해 소자 페일 등이 발생하고 있는데, 모우트가 없는 셀을 확보하고 커패시팅 비를 높이는 것은 고집적 플래시 메모리 소자에서 해결해야 할 중요한 문제이다.

**【발명이 이루고자 하는 기술적 과제】**

<14> 본 발명이 이루고자 하는 기술적 과제는 활성 영역의 임계치수를 충분히 줄일 수 있고, 플로팅 게이트의 표면적을 증가시킬 수 있으며, 균일하고 평탄한 플로팅 게이트 구현이 가능하고 모우트 발생을 억제할 수 있는 플래시 메모리 소자의 제조방법을 제공함에 있다.

**【발명의 구성 및 작용】**

<15> 상기 기술적 과제를 달성하기 위하여 본 발명은, (a) 반도체 기판 상에 터널 산화막, 제1 폴리실리콘막 및 하드 마스크막을 순차적으로 형성하는 단계와, (b) 패터닝 공정을 통해 상기 하드 마스크막, 상기 제1 폴리실리콘막, 상기 터널 산화막 및 상기 반도체 기판의 일부를 식각하여 상기 반도체 기판 내에 트렌치를 형성하는 단계와, (c) 산화막을 증착하여 상기 트렌치를 매립하고, 상기 하드 마스크막이 노출될 때까지 상기 산화막을 화학 기계적 연마하여 평탄화하는 단계와, (d) 상기 하드 마스크막을 제거하는 단계와, (e) 상기 제1 폴리실리콘막의 측벽 하부가 노출되지 않을 정도로 상기 산화막의 돌출부를 리세스하는 세정 공정을 실시하는 단계와, (f) 상기 산화막의 돌출부가 리세스된 결과물 상에 제2 폴리실리콘막을 증착한 후, 상기 산화막의 돌출부가 노출될 때까지 상기 제2 폴리실리콘막을 평탄화하는 단계와, (g) 상기 제2 폴리실리콘막 상에 유전체막을 형성하는 단계 및 (h) 상기 유전체막 상에 컨트롤 게이트를 형성하는 단계를 포함하는 것을 특징으로 하는 플래시 메모리 소자의 제조방법을 제공한다.



<16> 이하, 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예를 상세하게 설명하기로 한다. 그러나, 이하의 실시예는 이 기술분야에서 통상적인 지식을 가진 자에게 본 발명이 충분히 이해되도록 제공되는 것으로서 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 다음에 기술되는 실시예에 한정되는 것은 아니다. 이하의 설명에서 어떤 층이 다른 층의 위에 존재한다고 기술될 때, 이는 다른 층의 바로 위에 존재할 수도 있고, 그 사이에 제3의 층이 게재될 수도 있다. 또한, 도면에서 각 층의 두께나 크기는 설명의 편의 및 명확성을 위하여 과장되었다. 도면상에서 동일 부호는 동일한 요소를 지칭한다.

<17> 도 1 내지 도 11은 본 발명의 바람직한 실시예에 따른 플래시 메모리 소자의 제조 방법을 설명하기 위하여 도시한 단면도들이다.

<18> 도 1을 참조하면, 전처리 세정공정을 통해 상부 표면이 세정된 반도체 기판(100)을 준비한다. 이때, 상기 전처리 세정공정은 DHF(Diluted HF; H<sub>2</sub>O가 소정 비율로 희석된 HF용액)와 SC-1(standard cleaning-1; NH<sub>4</sub>OH/H<sub>2</sub>O<sub>2</sub>/H<sub>2</sub>O 용액이 소정 비율로 혼합된 용액)을 이용하여 실시하거나, BOE(Buffer Oxide Etchant; HF/NH<sub>4</sub>F/H<sub>2</sub>O 용액이 소정 비율로 혼합된 용액)와 SC-1을 이용하여 실시하는 것이 바람직하다.

<19> 반도체 기판(100) 상부 표면의 결정 결함 억제 또는 표면처리를 위하여 반도체 기판(100) 상에 희생 산화막(102)을 형성한다. 희생 산화막(102)은 건식 또는 습식 산화 방식으로 형성하며, 750℃~800℃의 온도범위에서 70Å~100Å 정도의 두께로 형성하는 것이 바람직하다.

<20> 희생 산화막(102)을 버퍼층으로 이용하여 웰 형성과 문턱전압 조절을 위한 이온주입을 실시한다. 웰 형성을 위한 이온주입은 고에너지를 사용하여 실시하고, 문턱전압 조

절을 위한 이온주입은 웰 형성을 위한 이온주입보다는 낮은 정도의 에너지를 사용하여 이온주입을 실시한다.

<21> 도 2를 참조하면, 희생 산화막(102)을 제거한다. 희생 산화막(102)은 DHF와 SC-1을 이용하여 제거할 수 있다.

<22> 희생 산화막(102)이 제거된 결과물 상에 터널 산화막(104)을 형성한다. 터널 산화막(104)은 습식 산화 방식을 이용하여 형성하는 것이 바람직하다. 예컨대, 750℃~800℃ 정도의 온도에서 습식 산화를 진행하고 900℃~910℃ 정도의 온도에서 질소(N<sub>2</sub>) 분위기에서 20~30분간 어닐링을 진행하여 형성한다.

<23> 터널 산화막(104) 상에 플로팅 게이트로 사용될 제1 폴리실리콘막(106)을 증착한다. 제1 폴리실리콘막(106)은 SiH<sub>4</sub> 또는 Si<sub>2</sub>H<sub>6</sub> 가스를 이용하여 저압-화학기상증착(Low Pressure-Chemical Vapor Deposition; LP-CVD)법으로 형성한다. 제1 폴리실리콘막(106)은 불순물이 도핑되지 않은 비정질 실리콘막으로 형성하는 것이 바람직하다. 제1 폴리실리콘막(106)은 480 내지 550℃ 정도의 온도와 0.1 내지 3Torr 정도의 낮은 압력에서 250 내지 500Å 정도의 두께로 형성하는 것이 바람직하다.

<24> 제1 폴리실리콘막(106) 상에 하드 마스크막(108)을 형성한다. 하드 마스크막(108)은 트렌치 산화막(도 5의 '114' 참조)과에 대하여 식각 선택비를 갖는 실리콘 질화막으로 형성한다. 하드 마스크막(108)은 LP-CVD 방법으로 증착하며, 후속 공정에 의해 형성되는 트렌치 산화막(114)의 돌출부가 충분히 높이 돌출될 수 있는 정도의 두께, 예컨대 1200 내지 3500Å 정도의 두께로 형성한다.

- <25> 도 3을 참조하면, 소자분리막 형성을 위한 패터닝을 통해 반도체 기판(100) 내에 트렌치(110)를 형성하여 소자분리 영역과 액티브 영역을 정의한다. 즉, 소자분리영역을 정의하는 포토레지스트 패턴(미도시)을 형성하고, 상기 포토레지스트 패턴을 식각 마스크로 하여 하드 마스크막(108), 제1 폴리실리콘막(106), 터널 산화막(104) 및 반도체 기판(100)을 식각하여 트렌치(110)를 형성한다. 이때, 반도체 기판(100) 내에 형성된 트렌치(110)는 소정 각도 범위의 기울기(slope)( $\theta$ )를 갖도록 형성한다. 예컨대,  $75^{\circ} \sim 88^{\circ}$  범위의 각도로 경사지게 형성한다.
- <26> 트렌치(110) 측벽에 형성되는 자연산화막을 제거하기 위하여 클리닝 공정을 실시한다. 상기 클리닝 공정은 DHF와 SC-1을 이용하거나 BOE와 SC-1을 이용한다.
- <27> 도 4를 참조하면, 트렌치(110) 측벽 및 바닥의 식각 손상을 보상하고, 트렌치(110) 상부 및 바닥 코너를 라운딩(rounding) 처리하고, 액티브 영역의 CD를 줄이기 위하여 트렌치(110) 내벽에 측벽 산화막(112)을 형성한다. 상기 측벽 산화막(112)은 건식 또는 습식 산화 방식으로 형성하며,  $750^{\circ}\text{C} \sim 1150^{\circ}\text{C}$  정도의 온도 범위에서  $50\text{\AA} \sim 150\text{\AA}$  정도의 두께로 형성하는 것이 바람직하다.
- <28> 도 5를 참조하면, 트렌치 산화막(114)을 증착하여 상기 트렌치(110)내를 매립한다. 이때, 트렌치 산화막(114)은 트렌치(110)내를 매립하면서 하드 마스크막(108)의 상부 표면 위까지 충분히 증착되는 정도의 두께, 예컨대  $5000\text{\AA} \sim 10000\text{\AA}$  정도의 두께로 증착한다. 트렌치 산화막(114)은 HDP(High Density Plasma) 산화막으로 형성하는 것이 바람직하며, 트렌치(110) 내에 보이드(void) 등이 형성되지 않도록 매립한다.

- <29> 이어서, 트렌치 산화막(114)을 화학기계적 연마(Chemical Mechanical Polishing)하여 평탄화한다. 상기 화학기계적 연마 공정은 하드 마스크막(108)이 노출될 때까지 진행하는 것이 바람직하다.
- <30> 상기 화학 기계적 연마 후, 클리닝 공정을 실시하여 하드 마스크막(108) 상부에 잔류하는 트렌치 산화막(114)을 제거한다. 상기 클리닝 공정은 BOE 또는 HF 용액을 이용하여, 하드 마스크막(108) 사이의 트렌치 산화막(114)이 과도하게 리세스(recess)되지 않도록 조절하는 것이 바람직하다.
- <31> 도 6을 참조하면, 하드 마스크막(108)을 제거한다. 하드 마스크막(108)은 스트립(strip) 공정을 이용하여 제거할 수 있다. 예컨대, 인산( $H_3PO_4$ ) 용액을 사용하여 제거할 수 있다.
- <32> 도 7을 참조하면, 제2 폴리실리콘막(도 8의 '116' 참조)을 증착하기 전에 DHF와 SC-1을 이용한 세정 공정을 제1 폴리실리콘막(106) 상부에 형성되는 자연산화막을 제거한다. 상기 세정 공정에 의하여 트렌치 산화막(114)도 어느 정도 리세스(recess)되게 되며, 상기 세정 공정에 의하여 플로팅 게이트간의 원하는 스페이스(space)를 확보할 수 있다. 상기 세정 공정은 제1 폴리실리콘막(106) 측벽의 최하부가 드러나지 않도록 조절하여 모우트(moat)가 발생하지 않게 하는 것이 바람직하다.
- <33> 도 8을 참조하면, 제2 폴리실리콘막(116)을 증착한다. 제2 폴리실리콘막(116)은  $SiH_4$  또는  $Si_2H_6$  가스와  $PH_3$  가스를 이용하여 LP-CVD(Low Pressure-Chemical Vapor Deposition) 방법으로 형성한다. 제2 폴리실리콘막(116)은 불순물이 도핑된 폴리실리콘막으로 형성하는 것이 바람직하다. 이때, 도핑되는 불순물은 인(P) 등일 수 있으며,  $1.0E20 \sim 3.0E20$  atoms/cc 정도의 도우즈로 도핑하는 것이 바람직하다. 제2



폴리실리콘막(116)은 550 내지 620℃ 정도의 온도와 0.1 내지 3Torr 정도의 낮은 압력에서 1000 내지 2000Å 정도의 두께로 형성하는 것이 바람직하다.

- <34> 도 9를 참조하면, 트렌치 산화막(114)이 노출될 때까지 제2 폴리실리콘막(116)을 화학 기계적 연마하여 평탄화한다. 상기 평탄화 공정에 의하여 제2 폴리실리콘막(116)은 트렌치 산화막(114)에 의하여 고립되게 된다.
- <35> 도 10을 참조하면, 세정 공정을 실시하여 제2 폴리실리콘막(116) 사이에 돌출된 트렌치 산화막(114)을 원하는 타겟(target)만큼 식각한다. 상기 세정 공정은 DHF 또는 BOE를 사용하는 것이 바람직하다. 이로써, 트렌치 산화막(114)의 돌출부와 접하던 제2 폴리실리콘막(116)의 측벽이 노출되면서 제2 폴리실리콘막(116)의 노출 면적이 증가하여 커플링 비를 높일 수 있다.
- <36> 도 11을 참조하면, 제2 폴리실리콘막(116) 및 트렌치 산화막(114) 상부에 유전체막(124)을 형성한다. 유전체막(124)은 산화막/질화막/산화막 형태의 구조, 즉  $\text{ONO}(\text{SiO}_2/\text{Si}_3\text{N}_4/\text{SiO}_2)$  구조로 형성하는 것이 바람직하다. 유전체막(124)의 산화막( $\text{SiO}_2$ )(118, 122)은 우수한 내압과 TDDB(Time Dependent Dielectric Breakdown) 특성이 우수한  $\text{SiH}_2\text{Cl}_2$ (dichlorosilane; DCS)와  $\text{H}_2\text{O}$  가스를 소스 가스로 이용하여 고온 산화막(High Temperature Oxide; HTO)으로 형성할 수 있다. 예컨대, 유전체막(124)의 산화막(118, 122)은 반응가스로서  $\text{H}_2\text{O}$ 와  $\text{SiH}_2\text{Cl}_2$ (dichlorosilane; DCS) 가스를 이용하고, 0.1 내지 3Torr 정도의 낮은 압력과 810 내지 850℃ 정도의 온도범위에서 LP-CVD 방법으로 형성할 수 있다. 유전체막(124)의 질화막(120)은 반응가스로서  $\text{NH}_3$ 와  $\text{SiH}_2\text{Cl}_2$ (dichlorosilane; DCS) 가스를 이용하고, 0.1 내지 3Torr 정도의 낮은 압력과 650 내지 800℃ 정도의 온도범위에서 LP-CVD 방법으로 형성할 수 있다. 제1 산화막(118)은 35 내

지 60 Å 정도의 두께로 형성하고, 질화막(120)은 50 내지 65 Å 정도의 두께로 형성하며, 제2 산화막(122)은 35 내지 60 Å 정도의 두께로 형성하는 것이 바람직하다.

<37> 이어서, ONO막의 막질을 향상시키고, 각 층간의 계면(interface)을 강화하기 위하여 습식 산화 방식으로 750~800°C 정도의 온도에서 스팀 어닐(steam anneal)을 진행한다. 상기 유전체막(124) 형성 공정과 상기 스팀 어닐은 각 공정간에 시간 지연이 없도록 진행하여 자연 산화막 또는 불순물에 오염되는 것을 방지하는 것이 바람직하다.

<38> 유전체막(124)이 형성된 결과물 상에 컨트롤 게이트로 사용될 제3 폴리실리콘막(126)을 형성한다. 제3 폴리실리콘막(126)은 510 내지 550°C 정도의 온도와 0.1 내지 3Torr 정도의 낮은 압력에서 비정질 폴리실리콘막으로 형성하는 것이 바람직하다. 제3 폴리실리콘막(126)은 유전체막(124)에 치환 고용되어 산화막 두께를 증가시킬 수 있는 불소(fluorine; F)의 확산 방지와  $WP_x$  등의 비정상적인 막 형성을 억제하기 위하여 불순물이 도핑된 막과 불순물이 도핑되지 않은 막이 순차적으로 적층된 2중 구조를 갖도록 형성하는 것이 바람직하며, 불순물이 도핑된 막은 그 두께가 전체 두께(불순물이 도핑된 막과 불순물이 도핑되지 않은 막)의 1/3~6/7 정도가 되도록 형성한다. 도핑된 비정질 폴리실리콘막은  $SiH_4$  또는  $Si_2H_6$ 와 같은 Si 소스 가스와  $PH_3$  가스를 이용하여 LP-CVD(Low Pressure-Chemical Vapor Deposition) 방법으로 형성하고, 인시츄(in-situ) 공정으로  $PH_3$  가스를 잠그고 연속으로 도핑되지 않은 비정질 폴리실리콘막을 형성한다. 제3 폴리실리콘막(126)은 500 내지 1000 Å 정도의 두께로 형성한다.

<39> 이어서, 제3 폴리실리콘막(126) 상에 실리사이드막(128)을 형성한다. 실리사이드막(128)은 텅스텐 실리кон(WSi)막으로 형성하는 것이 바람직하다. 실리사이드막(128)인 텅스텐 실리кон(WSi)막은 낮은 플루오린(F) 함유와 어닐링 후의 낮은 스트레스

및 좋은 접착 강도를 갖도록 하기 위하여  $\text{SiH}_4$ (monosilane; MS) 또는  $\text{SiH}_2\text{Cl}_2$  (dichlorosilane; DCS)와  $\text{WF}_6$ 의 반응을 이용하여  $300^\circ\text{C} \sim 500^\circ\text{C}$  사이의 온도에서 형성하는 것이 바람직하다. 텅스텐 실리콘(WSi)막은 화학양론적 비를 2.0~2.8 정도로 하여 성장시켜 적절한 스텝 커버리지(step coverage)를 구현하며 면저항( $R_s$ )을 최소화시키는 것이 바람직하다.

<40> 다음에, 실리사이드막(128) 상에 반사방지 코팅막(Anti-Reflective Coating; 미도시)을 형성한다. 상기 반사방지 코팅막(미도시)은  $\text{SiO}_x\text{N}_y$  또는  $\text{Si}_3\text{N}_4$ 막으로 형성할 수 있다.

<41> 이어서, 게이트 패터닝 공정을 수행한다. 즉, 콘트롤 게이트 형성용 마스크를 이용하여 상기 반사방지 코팅막, 실리사이드막(128), 제3 폴리실리콘막(126) 및 유전체막(124)을 패터닝하고, 패터닝된 상기 반사방지 코팅막을 이용한 자기정렬 식각 공정으로 제2 폴리실리콘막(116) 및 제1 폴리실리콘막(106)을 패터닝한다.

#### 【발명의 효과】

<42> 종래에는 트렌치 상부 코너 부분에 인접한 게이트 산화막이 중앙부에 비하여 그 두께가 얇아지는 현상이 발생하였으나, 본 발명에 의한 플래시 메모리 소자의 제조방법에 의하면 자기정렬 STI 기술을 적용함에 따라 상기과 같은 현상은 발생하지 않으며, 또한 원하는 CD 만큼의 활성 영역을 확보할 수 있어 소자의 리텐션 페일(retention fail)이나 급속 소거(fast erase) 등의 전기적 특성을 개선할 수 있으며, 소자의 신뢰성을 확보할 수 있다. 또한, 터널 산화막이 공격(attack)받는 것을 방지하여 채널 폭(channel width) 내에서의 균일한 터널 산화막을 유지할 수 있으므로 소자의 특성을 개선할 수 있다.

- <43> 또한, 플로팅 게이트의 표면적을 자유로이 조절할 수 있으므로 커플링 비를 효과적으로 확보할 수 있고, 충분한 공정 마진 확보가 용이하다.
- <44> 또한, 자기정렬 플로팅 게이트 공정 기술을 도입함으로써  $0.1\mu\text{m}$  이하의 작은 크기의 스페이스(space)를 가지는 플래시 메모리 소자의 구현이 용이하며, 마스크 공정 및 식각 공정으로 행해오던 종래의 방법에서 탈피함으로써 CD 변화가 최소화되며, 웨이퍼 전반에 걸쳐서 균일한 플로팅 게이트 구현이 가능해진다.
- <45> 또한, 모우트가 없는 트렌치 구조를 형성할 수 있다.
- <46> 또한, 제2 폴리실리콘막을 화학 기계적 연마 공정으로 처리함으로써 ONO 유전체막과의 계면이 안정적이므로 리텐션 특성 개선에 효과적이다.
- <47> 또한, 복잡한 공정 및 장비의 추가 소요 없이 기존의 장비와 공정을 이용하여 낮은 비용으로 높은 신뢰성을 갖는 플래시 메모리 소자를 구현할 수 있다.
- <48> 이상, 본 발명의 바람직한 실시예를 들어 상세하게 설명하였으나, 본 발명은 상기 실시예에 한정되는 것은 아니며, 본 발명의 기술적 사상의 범위내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러 가지 변형이 가능하다.



**【특허청구범위】****【청구항 1】**

- (a) 반도체 기판 상에 터널 산화막, 제1 폴리실리콘막 및 하드 마스크막을 순차적으로 형성하는 단계;
- (b) 패터닝 공정을 통해 상기 하드 마스크막, 상기 제1 폴리 실리콘막, 상기 터널 산화막 및 상기 반도체 기판의 일부를 식각하여 상기 반도체 기판 내에 트렌치를 형성하는 단계;
- (c) 산화막을 증착하여 상기 트렌치를 매립하고, 상기 하드 마스크막이 노출될 때까지 상기 산화막을 화학 기계적 연마하여 평탄화하는 단계;
- (d) 상기 하드 마스크막을 제거하는 단계;
- (e) 상기 제1 폴리실리콘막의 측벽 하부가 노출되지 않을 정도로 상기 산화막의 돌출부가 리세스되도록 세정 공정을 실시하는 단계;
- (f) 상기 산화막의 돌출부가 리세스된 결과물 상에 제2 폴리실리콘막을 증착한 다음, 상기 산화막의 돌출부가 노출될 때까지 상기 제2 폴리실리콘막을 평탄화하는 단계;
- (g) 상기 제2 폴리실리콘막 상에 유전체막을 형성하는 단계; 및
- (h) 상기 유전체막 상에 컨트롤 게이트를 형성하는 단계를 포함하는 것을 특징으로 하는 플래시 메모리 소자의 제조방법.

**【청구항 2】**

- 제1항에 있어서, 상기 반도체 기판 상에 상기 터널 산화막을 형성하는 단계 전에, 상기 반도체 기판 상에 희생 산화막을 형성하는 단계;

상기 희생 산화막을 버퍼층으로 하여 웰 형성을 위한 이온주입 및 문턱전압 조절을 위한 이온주입을 실시하는 단계; 및

상기 희생 산화막을 제거하는 단계를 더 포함하는 것을 특징으로 하는 플래시 메모리 소자의 제조방법.

#### 【청구항 3】

제1항에 있어서, 상기 (f) 단계 후 상기 (g) 단계 전에,

상기 제2 폴리실리콘막과 상기 유전체막의 접촉 표면적을 증가시키기 위하여 상기 제2 폴리실리콘막 사이의 상기 산화막을 소정 깊이 만큼 리세스하는 세정 공정을 실시하는 단계를 더 포함하는 것을 특징으로 하는 플래시 메모리 소자의 제조방법.

#### 【청구항 4】

제1항에 있어서, 상기 하드 마스크막은 상기 산화막에 대하여 식각 선택비를 갖는 실리콘 질화막으로 형성하고, 상기 산화막이 상기 반도체 기판 표면 보다 충분히 높이 돌출될 수 있는 두께로 형성하는 것을 특징으로 하는 플래시 메모리 소자의 제조방법.

#### 【청구항 5】

제1항에 있어서, 상기 산화막은 HDP 산화막이고, 상기 트렌치를 완전히 매립하면서 상기 하드 마스크막 상부 표면보다 높이 증착될 수 있는 두께로 증착하는 것을 플래시 메모리 소자의 제조방법.

#### 【청구항 6】

제1항에 있어서, 상기 산화막의 돌출부를 리세스하기 위한 상기 세정 공정은 DHF와 SC-1 용액을 사용하는 것을 특징으로 하는 플래시 메모리 소자의 제조방법.

**【청구항 7】**

제1항에 있어서, 상기 제1 폴리실리콘막은 불순물이 도핑되지 않은 비정질 폴리실리콘막으로 형성하고, 상기 비정질 폴리실리콘막은  $\text{SiH}_4$  또는  $\text{Si}_2\text{H}_6$  가스를 이용하여  $480\sim 550^\circ\text{C}$ 의 온도와  $0.1\sim 3\text{Torr}$ 의 낮은 압력에서 저압-화학기상증착법으로 형성하는 것을 특징으로 하는 플래시 메모리 소자의 제조방법.

**【청구항 8】**

제1항에 있어서, 상기 제2 폴리실리콘막은  $\text{SiH}_4$  또는  $\text{Si}_2\text{H}_6$  가스와  $\text{PH}_3$  가스를 이용하여  $550\sim 620^\circ\text{C}$ 의 온도와  $0.1\sim 3\text{Torr}$ 의 낮은 압력에서 저압-화학기상증착법으로 형성하는 것을 특징으로 하는 플래시 메모리 소자의 제조방법.

**【청구항 9】**

제1항에 있어서, 상기 컨트롤 게이트는 상기 유전체막에 치환 고용되어 산화막 두께를 증가시킬 수 있는 불소의 확산을 방지하기 위하여 불순물이 도핑된 비정질 폴리실리콘막과 불순물이 도핑되지 않은 비정질 폴리실리콘막이 순차적으로 적층된 2중 구조로 형성하는 것을 특징으로 하는 플래시 메모리 소자의 제조방법.

**【청구항 10】**

제9항에 있어서, 상기 불순물이 도핑된 비정질 폴리실리콘막은  $\text{SiH}_4$  또는  $\text{Si}_2\text{H}_6$  가스와  $\text{PH}_3$  가스를 이용하여  $510\sim 550^\circ\text{C}$ 의 온도와  $0.1\sim 3\text{Torr}$ 의 압력에서 저압-화학기상증착법으로 형성하고, 인시츄 공정으로  $\text{PH}_3$  가스를 잠그고 상기 불순물이 도핑되지 않은 비정질 폴리실리콘막을 형성하는 것을 특징으로 하는 플래시 메모리 소자의 제조방법.



【청구항 11】

제1항에 있어서, 상기 유전체막은 산화막, 질화막 및 산화막이 순차적으로 적층된 구조로 형성하는 것을 특징으로 하는 플래시 메모리 소자의 제조방법.

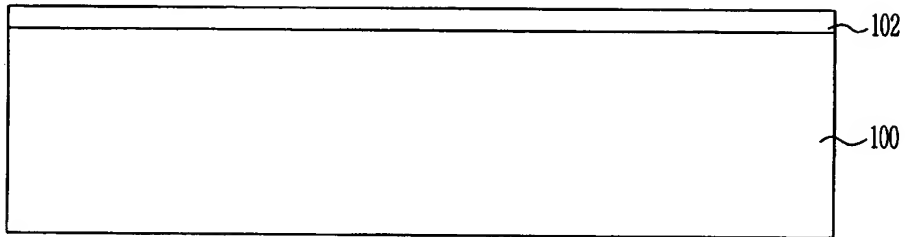
【청구항 12】

제11항에 있어서, 상기 (g) 단계 후 상기 (h) 단계 전에,

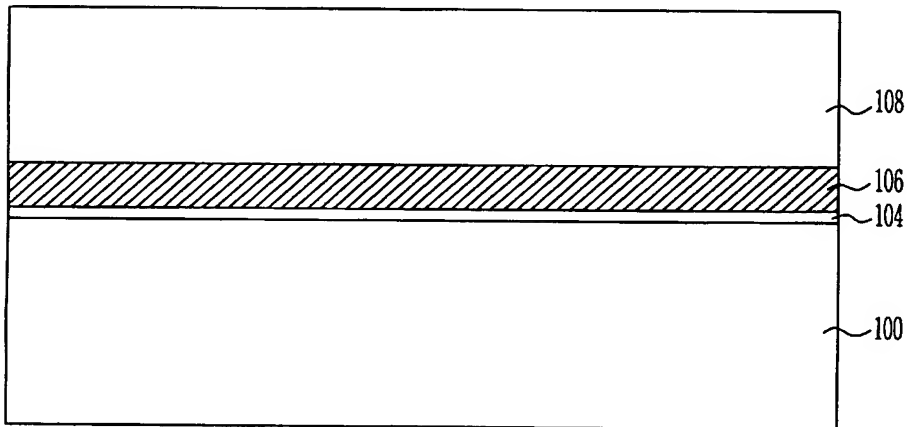
상기 유전체막의 막질을 향상시키고, 상기 산화막, 상기 질화막 및 상기 산화막의 적층 구조 사이의 계면을 강화하기 위하여 750~800℃의 온도에서 스팀 어닐을 실시하는 단계를 더 포함하는 것을 특징으로 하는 플래시 메모리 소자의 제조방법.

【도면】

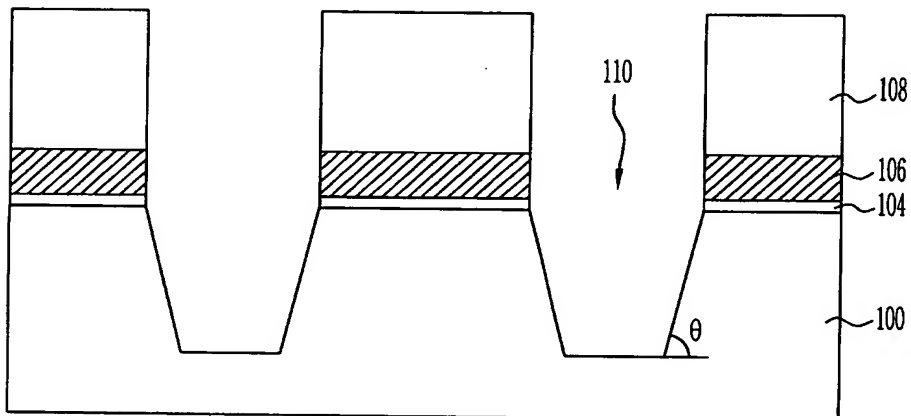
【도 1】



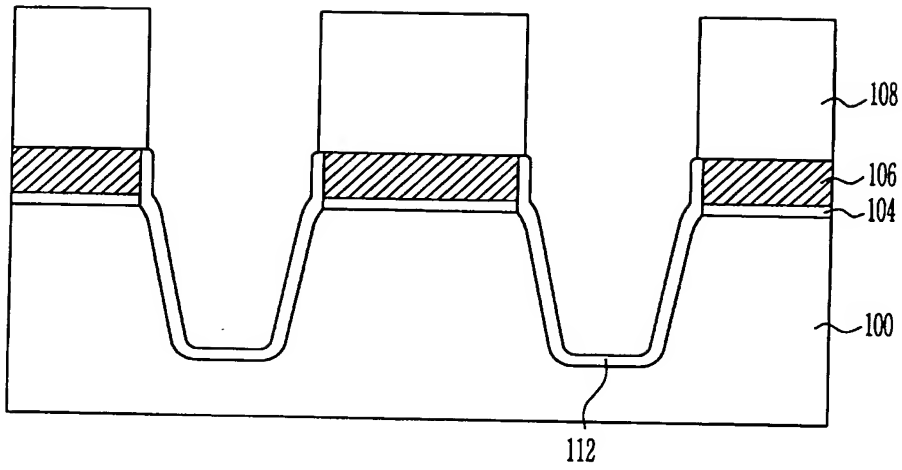
【도 2】



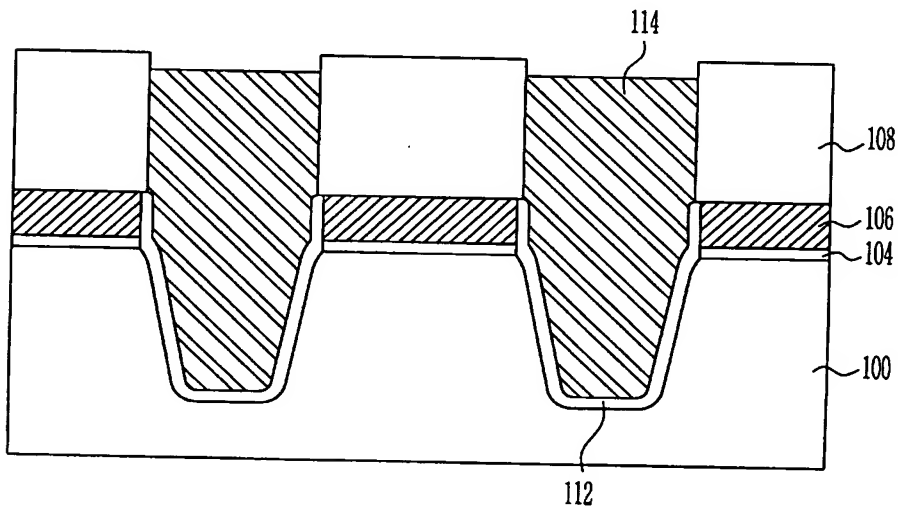
【도 3】



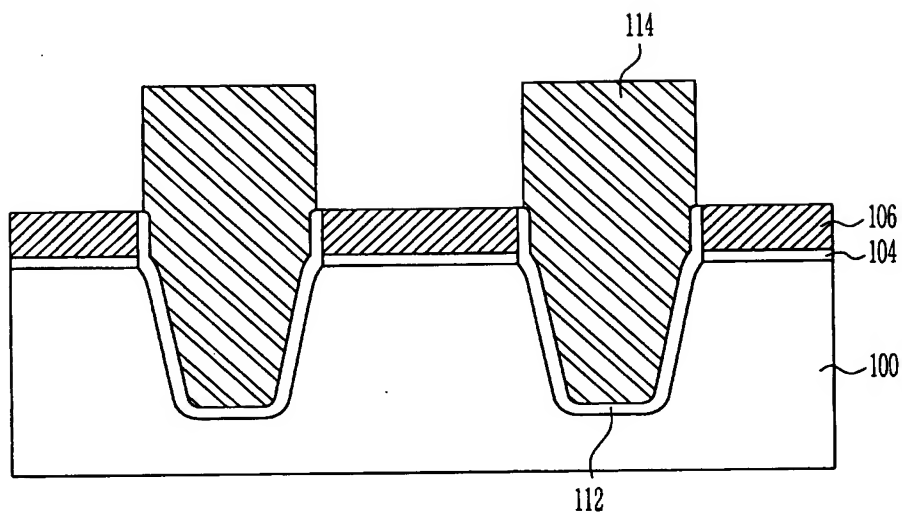
【도 4】



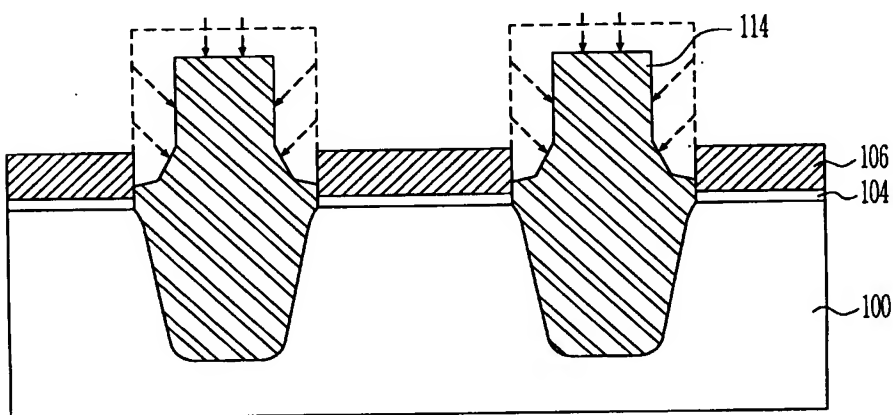
【도 5】



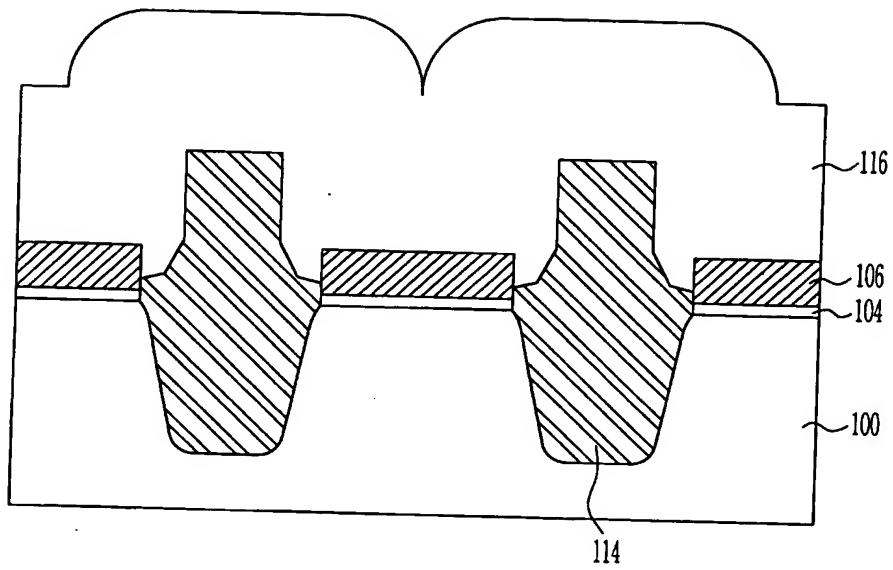
【도 6】



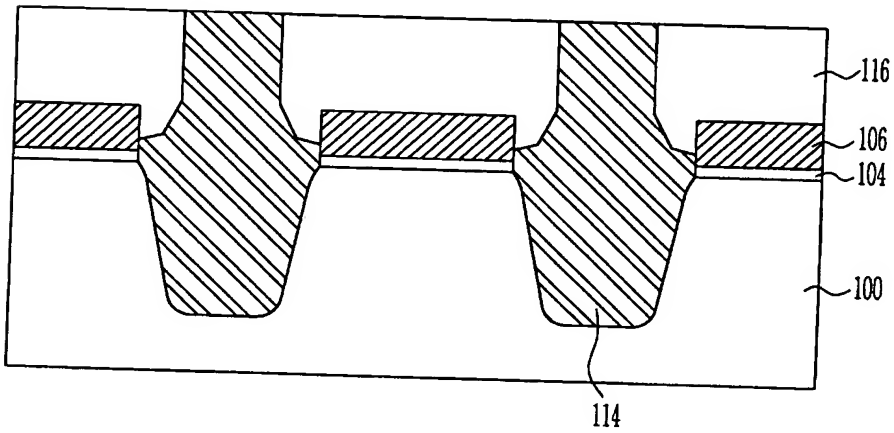
【도 7】



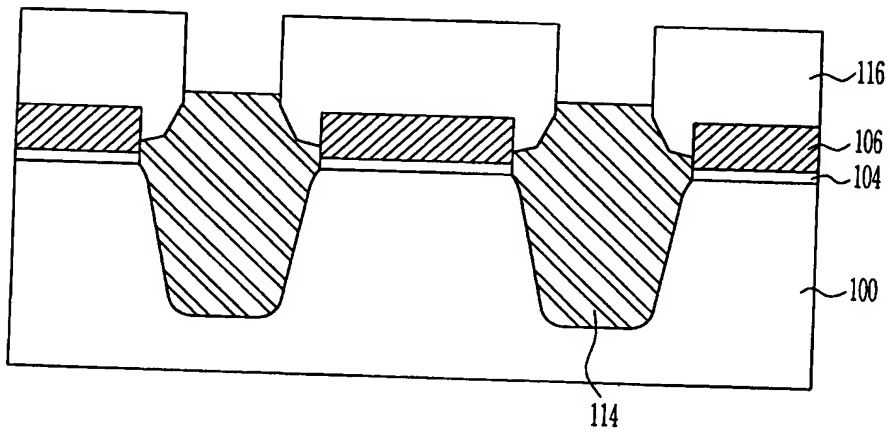
【도 8】



【도 9】



【도 10】





【도 11】

